

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)特許出願公表番号

特表平9-511377

(43)公表日 平成9年(1997)11月11日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI
H04L 1/00		9371-5K	H04L 1/00 F
H03M 13/22		8732-5K	H03M 13/22
H04B 1/713		8124-5K	H04J 11/00 Z
H04J 11/00		9297-5K	H04L 27/00 B
H04L 27/00		8124-5K	H04J 13/00 E
審査請求 未請求 予備審査請求 未請求(全 27 頁)			

(21)出願番号 特願平8-523380
 (86)(22)出願日 平成8年(1996)1月26日
 (85)翻訳文提出日 平成8年(1996)10月1日
 (86)国際出願番号 PCT/IB96/00064
 (87)国際公開番号 WO96/24196
 (87)国際公開日 平成8年(1996)8月8日
 (31)優先権主張番号 95200242.6
 (32)優先日 1995年2月1日
 (33)優先権主張国 オランダ(NL)
 (31)優先権主張番号 95200520.5
 (32)優先日 1995年3月3日
 (33)優先権主張国 オランダ(NL)

(71)出願人 フィリップス エレクトロニクス ネムロー
 ゼ フェンノートシャッ
 オランダ国 5621 ベーアー アインドー
 フェン フルーネヴァウツウェッハ 1
 (72)発明者 バッヘン コンスタント ポール マリー
 ヨゼフ
 オランダ国 5621 ベーアー アインドー
 フェン フルーネヴァウツウェッハ 1
 (74)代理人 弁理士 杉村 暁秀 (外6名)

最終頁に続く

(54)【発明の名称】 データの誤り保護送信方法、誤り保護受信方法及びデータ伝送システム

(57)【要約】

データを複数の同時にアクティブな被変調周波数チャネルを含む信号で送信する。データは誤り保護符号で符号化する。順次のデータアイテムを種々の周波数チャネルに擬似ランダム的にマッピングする。これは、互いに周期的に位置する周波数チャネルに影響を与えるフェージングに対し保護する。擬似ランダムマッピングは、データアイテムをメモリに一つの順序で書き込み、これらのデータアイテムをメモリから別の順序で読み出すことにより実現される。順次の各信号はこのように変調される。一つの信号の変調のための読出し時に空になるメモリ位置に次の信号の変調のためにデータアイテムを書き込む。これは、順次の各信号ごとにデータアイテムが書き込まれるメモリ位置の順序を変更することにより維持される。

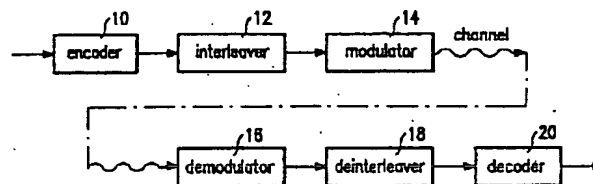


FIG.1

【特許請求の範囲】

1. データの誤り保護送信方法において、

データを、バースト状に発生する誤りより孤立した誤りに対し強力な誤り訂正符号でデータアイテムの論理系列に符号化するステップと、

複数の同時にアクティブな被変調周波数チャネルを含む信号を発生するステップと、

各特定のデータアイテムに対し、前記複数の周波数チャネルから、前記論理系列内のこの特定のデータアイテムの論理的位相の疑似ランダム関数である特定の周波數位置を有する特定の周波数チャネルを選択するステップと、

各周波数チャネルを少なくともそれぞれ一つのデータアイテムに応じて変調し、特定の周波数チャネルを少なくとも特定のデータアイテムに応じて変調するステップと、

前記信号を送信するステップと、

を含む基本サイクルを具えることを特徴とするデータの誤り保護伝送方法。

2. データアイテムをそれぞれのメモリ位置に、これらのデータアイテムが符号化中に得られる第1の順序で書き込み、

データアイテムをそれぞれのメモリ位置から、これらのデータアイテムが変調のために必要とされる前記疑似ランダム関数に従って第2の順序で読み出し、

当該方法は前記基本サイクルの逐次バージョンを実行し、各バージョンにおけるデータアイテムの論理系列及び信号をそれぞれ論理系列の列及び連続的に送られる信号の列の一つとなし、各特定のバージョンにおける前記データアイテムの書き込みを直前のバージョンに対するデータアイテムの読出し時に使用可能になる第3の順序のメモリ位置に行い、この特定のバージョンにおける第3の順序を直前のバージョンにおける第3の順序に対し疑似ランダム関数に従って変更することを特徴とする請求の範囲1記載の方法。

3. 前記第3のメモリ位置順序は基本サイクルの複数のバージョンを含む周期後に、この周期的に反復し、この周期は基本サイクルの少なくとも2つのバージョンを含むことを特徴とする請求の範囲2記載の方法。

4. 各周期においてそれぞれの第3のメモリ位置順序が単調に増大する又は減少するメモリ位置アドレスを有することを特徴とする接続級の範囲3記載の方法。

5. 前記周期が正確に基本サイクルの2つのバージョンからなり、それぞれの第3のメモリ位置順序が連続的に上昇又は下降するメモリ位置アドレス及び疑似ランダム関数に従って変更されたメモリ位置アドレスを交互に有することを特徴とする請求の範囲4記載の方法。

6. 疑似ランダム関数は非単調一次合同数列に対応することを特徴とする請求の範囲1～5の何れかに記載の方法。

7. メモリ位置アドレスは次式：

$$X_{n+1} = (a X_n + c) \bmod M$$

ここで、nは第2の順序における当該データアイテムの位置、

Xは当該データアイテムが読み出されるアドレス、

Mは選択可能なメモリ位置の数、

a及びcは一次合同数列の係数及び被加数、

を満足する一次合同数列に従って計算し、使用する係数及び被加数の組合せを基本サイクルの各バージョンごとに変えることを特徴とする請求の範囲2～5の何れかに記載の方法。

8. データの誤り保護受信方法において、

各々少なくとも一つの固有の特定のデータアイテムに応じて変調された複数の同時にアクティブな被変調周波数チャネルを含む信号を受信するステップと、これらの周波数チャネルから特定のデータアイテムを復調するステップと

各特定のデータアイテムに対し、論理系列内の論理位置であって、この特定のデータアイテムが復調された特定の周波数チャネルの、複数の周波数チャネル内における特定の周波數位置の逆疑似ランダム関数である論理位置を選択するステップと、

データアイテムの論理系列から、バースト状に発生する誤りより孤立した誤りに対し強力な誤り訂正符号に従ってデータを復号化するステップと、

を含む基本サイクルを具えることを特徴とするデータの誤り保護受信方法。

9. データアイテムをそれぞれのメモリ位置に、これらのデータアイテムが復調

により得られる第1の順序で書き込み、

データアイテムをそれぞれのメモリ位置から、これらのデータアイテムが復号化のために必要とされる前記擬似ランダム関数に従って第2の順序で読み出し

当該方法は前記基本サイクルの逐次バージョンの実行し、各バージョンにおけるデータアイテムの論理系列及び信号をそれぞれ論理系列の列及び連続的に送信された信号の列の一つとなし、各特定のバージョンにおける前記データアイテムの書き込みを直前のバージョンに対するデータアイテムの読み出し時に使用可能になる第3の順序のメモリ位置に行い、この特定のバージョンにおける第3の順序を直前のバージョンにおける第3の順序に対し逆擬似ランダム関数に従って変更することを特徴とする請求の範囲8記載の方法。

10. 前記第3のメモリ位置順序は基本サイクルの複数のバージョンを含む周期ごとと周期的に反復し、この周期は基本サイクルの少なくとも2つのバージョンを含むことを特徴とする請求の範囲9記載の方法。

11. 各周期においてそれぞれの第3のメモリ位置順序が単調に増大する又は減少するメモリ位置アドレスを有することを特徴とする接続級の範囲10記載の方法。

12. 前記周期が正確に基本サイクルの2つのバージョンからなり、それぞれの第3のメモリ位置順序が連続的に上昇又は下降するメモリ位置アドレス及び逆擬似ランダム関数に従って変更されたメモリ位置アドレスを交互に有することを特徴とする請求の範囲11記載の方法。

13. 擬似ランダム関数は非単調一次合同数列に対応することを特徴とする請求の範囲8～12の何れかに記載の方法。

14. メモリ位置アドレスは次式：

$$X_{n+1} = (a X_n + c) \bmod M$$

ここで、nは第2の順序における当該データアイテムの位置、

Xは当該データアイテムが読み出されるアドレス、

Mは選択可能メモリ位置の数、

a及びcは一次合同数列の係数及び被加数、

を満足する一次合同数列に従って計算し、使用する係数及び被加数の組合せを基本サイクルの各バージョンごとに変えることを特徴とする請求の範囲9～12の何れかに記載の方法。

15. データの誤り保護伝送システムにおいて、

伝送チャネルと、

送信セクションであって、

データを、バースト状に発生する誤りより孤立した誤りに対し強力な誤り訂正符号でデータアイテムの論理系列に符号化するエンコーダ、

複数の同時にアクティブな被変調周波数チャネルを含む信号を発生する信発生器、

各特定のデータアイテムに対し、前記複数の周波数チャネルの中から、前記論理系列内のこの特定のデータアイテムの論理的位置の擬似ランダム関数である特定の周波数位置を有する特定の周波数チャネルを選択する選択手段、

各周波数チャネルを少なくともそれぞれ一つのデータアイテムに応じて変調し、特定のデータアイテムを特定の周波数チャネルにて変調する変調する変調器、及び

前記信号を伝送チャネルを経て送信する送信機

を具えた送信セクションと、

受信セクションであって、

伝送チャネルから信号を受信する受信入力端子、

信号内の周波数チャネルからデータアイテムを復調する復調器、

特定のデータアイテムの論理位置を、この特定のデータアイテムが復調された特定の周波数チャネルの特定の周波数位置の逆擬似ランダム関数として選択する逆選択手段、及び

データアイテムの論理系列から誤り訂正符号に従って復号化するデコーダ

を具えた受信セクションと、

を具えたことを特徴とするデータの誤り保護伝送システム。

16. 擬似ランダム関数は非単調一次合同数列に対応することを特徴とする請求の範囲15記載の伝送システム。

17. 請求の範囲15又は16に記載された伝送システム用に好適な送信セクション。

18. 基本サイクルの逐次バージョンを実行し、各バージョンにおけるデータアイテムの論理系列及び信号をそれぞれ論理系列の列及び逐次送信される信号の列の一つとするために、前記選択手段が、

メモリと、

論理系列のデータアイテムをメモリに書き込む書込み手段と、

メモリからデータアイテムを読み出し、読み出したデータアイテムを変調器に供給する読出し手段と、

読出し及び書込みのためのアドレスを発生する手段であって、各特定のバージョンに対しそれぞれ一つの順序のアドレスを発生し、特定のバージョンにおけるアドレスの順序を直前のバージョンにおけるアドレスの順序に対し擬似ランダム関数に従って変更するアドレス発生手段とを具え、前記読出し手段が特定のバージョンにおいてこの特定のバージョンに対し発生された順序のアドレスに従ってデータアイテムを読み出し、前記書込み手段が特定のバージョンにおいてデータアイテムをこの特定のバージョンの直前のバージョンに対し発生された順序のアドレスに従って書き込むことを特徴とする請求の範囲17記載の送信セクション。

19. 前記それぞれの順序のアドレスが基本サイクルの少なくとも2つのバージョンの周期後ごとに周期的に反復し、一つの単調に上昇又は下降する順序のアドレスが各周期において発生することを特徴とする請求の範囲18記載の送信セクション。

20. 前記周期が正確に2つのバージョンからなり、それぞれの順序が連続的に上昇又は下降する順序及び擬似ランダム関数に従って変更された順序を交互に有することを特徴とする請求の範囲19記載の送信セクション。

21. 請求の範囲15に記載された伝送システム用に好適な受信セクション。

22. 基本サイクルの逐次バージョンを実行し、各バージョンにおけるデータアイテムの論理系列及び信号をそれぞれ論理系列の列及び逐次受信される信号の一つとするために、前記選択手段が、

メモリと、

復調器から受信されたデータアイテムをメモリに書き込む書込み手段と、

メモリからデータアイテムを読み出し、読み出したデータアイテムをデコーダに供給する読出し手段と、

読出し及び書込みのためのアドレスを発生する手段であって、各特定のバージョンに対しそれぞれ一つの順序のアドレスを発生し、特定のバージョンにおけるアドレスの順序を直前のバージョンにおけるアドレスの順序に対し逆擬似ランダム関数に従って変更するアドレス発生手段とを具え、前記読出し手段が特定のバージョンにおいてこの特定のバージョンに対し発生された順序のアドレスに従ってデータアイテムを読み出し、前記書込み手段が特定のバージョンにおいてデータアイテムをこの特定のバージョンの直前のバージョンに対し発生された順序のアドレスに従って書き込むことを特徴とする請求の範囲21記載の受信セクション。

23. 前記それぞれの順序のアドレスが基本サイクルの少なくとも2つのバージョンの周期後ごとに周期的に反復し、一つの単調に上昇又は下降する順序のアドレスが各周期において発生することを特徴とする請求の範囲22記載の送信セクション。

24. 前記周期が正確に2つのバージョンからなり、それぞれの順序が連続的に上昇又は下降する順序及び逆擬似ランダム関数に従って変更された順序を交互に有することを特徴とする請求の範囲23記載の送信セクション。

【発明の詳細な説明】

データの誤り保護送信方法、誤り保護受信方法及びデータ伝送システム

本発明は、データの誤り保護送信方法、データの誤り保護受信方法、データ伝送システム、このシステムでの送信セクション及び受信セクションに関するものである。

この種の方法及びシステムは“Error correction coding for digital communications”, G. C. Clark及びJ. B. Cain著, Plenum Press発行, New York, 1981, Sections 8.5 and 8.3.2から既知である。

この本には、ジャミング（妨害）を防止するシステムが開示されている。これはスペクトラム拡散技術により達成され、この技術はデータレートに対し送信スペクトラムを大きく拡大する必要がある。このアイディアは妨害のパワーを非拡散スペクトラムに必要とされる帯域幅より遥に広い帯域幅に分布させることにあ

る。

この妨害防止システムは情報を種々の周波数で逐次的に変調する。時間の関数として周波数が一つの周波数チャネルから他の周波数チャネルへ“ホップ”する。妨害されたチャネルに対し保護するために、情報を変調前に誤り訂正符号で符号化する。更に、符号化された情報をインタリーブし、データアイテムが変調される時間順序を誤り訂正符号内においてそれらが互いに連続する順序に対し変更する。従来の技術では、インタリーブにより妨害防止システムをすべての周波数チャネルを一部時間中妨害するパルスに対し一層強力にする。

上述のシステムは周波数の使用の極めて非効率的な使用をよしとする。このシステムは妨害のパワーを著しく広い帯域幅に分布させるものであるから、このことは前記のG. C. Clark及びJ. B. Cainの本に記載された妨害防止システムに必須の要件である。

本発明の目的は、擬似ランダムインタリーブを適用して周波数の効率的な使用が可能にすることにある。

本発明の他の目的は、マルチパス送信による劣化に対し強いとともに周波数の効率的な使用を可能にするマルチチャネル放送を提供することにある。

本発明は、データの誤り保護送信方法において、

データをバースト状に発生する誤りより孤立した誤りに対し強力な誤り訂正符号でデータアイテムの論理系列に符号化するステップと、

複数の同時にアクティブな被変調周波数チャネルを含む信号を発生するステップと、

各特定のデータアイテムに対し、前記複数の周波数チャネルから、前記論理系列内のこの特定のデータアイテムの論理的な位置の擬似ランダム関数である特定の周波数位置を有する特定の周波数チャネルを選択するステップと、

各周波数チャネルを少なくともそれぞれ一つのデータアイテムに応じて変調し、特定の周波数チャネルを少なくとも特定のデータアイテムに応じて変調するステップと、

前記信号を送信するステップと、

を含む基本サイクルを具えることを特徴とする。

情報を複数の周波数チャネルで同時送信する結果として、使用可能周波数が効率よく使用される。本発明はジャミングよりもマルチパス伝送から受ける伝送チャネルの問題に注目している。無線放送の場合には、例えばビルディングによる電磁波の反射のために、電磁波の直接送信に加えて、間接送信が起こりうる。これは多くの場合種々の周波数チャネルの受信能に変化を導くことが確かめられている。更に、この変化は多くの場合周期的であり、即ちこの変化は周波数の関数として複数チャネル後に反復することが確かめられている。この反復周期は受信状態に依存し、一般に予測し得ない。

擬似ランダムインタリーブの使用によりマルチパス伝送が訂正不能ほど長いバースト誤りを発生するのを阻止する。

本発明方法の一実施例においては、

データアイテムをそれぞれのメモリ位置に、これらのデータアイテムが符号化中に得られる第1の順序で書き込み、

データアイテムをそれぞれのメモリ位置から、これらのデータアイテムが変調のために必要とされる擬似ランダム関数に従って第2の順序で読み出し、

当該方法は前記基本サイクルの逐次ページンを実行し、各ページンにおけるデータアイテムの論理系列及び信号をそれぞれ論理系列の列及び連続的に送信される信号の列の一つとなし、各特定のページンにおける前記データアイテムの書き込みを直前のページンに対するデータアイテムの読出し時に使用可能になる第3の順序のメモリ位置に行い、この特定のページンにおける第3の順序を直前のページンにおける第3の順序に対し擬似ランダム関数に従って変更することを特徴とする。このようにデータアイテムをメモリへ書き込み、次いでデータアイテムをメモリから異なる順序で読み出すことによりインタリーブが達成される。この場合、新しいデータは、全ての他のメモリ位置が読み出される前に、読出しにより空いたメモリ位置に書き込まれ、メモリスペースを節約することができる。このことは、単調に上昇するアドレス列に関してはUS 5,151,976から既知である。しかし、本発明はこの処理を擬似ランダム数列に従う書き込みに適用する。特に、このような擬似ランダム数列は単調数列より著しく複雑であるにもかかわらず、ランダム数列での読出し即時書き込みをインタリーブに使用することができることを確かめた。

本発明の方法の一実施例においては、メモリアドレスを単調に上昇又は下降する順序として及び擬似ランダム関数順序として交互に選択する。2つの異なるアドレス列を交互に使用するだけでインタリーブが簡単に達成される。

本発明の一実施例においては、アドレスを次式：

$$X_{n+1} = (a X_n + c) \bmod M$$

ここで、 n は第2の順序における当該データアイテムの位置、

X は当該データアイテムが読み出されるアドレス、

M は選択可能なメモリ位置の数、

a 及び c は一次合同数列の係数及び被加数、

を満足する一次合同数列に従って計算し、使用する係数及び被加数の組合せを基本サイクルの各ページンごとに変える。一次合同数列の係数及び被加数は、 c が M に対し素数であり、 $a-1$ が M のすべての素因数の倍数であり、且つ M が4の倍数である場合には $a-1$ が4の倍数であるものとする。これはアドレスの簡単な発生方法を提供する。特に、異なるページンに対し使用されるすべての“

a ”を、 $a-1$ の二乗が M で割り切れる値にすると、前データアイテムが読み出された位置の順に書き込まれたデータアイテムを読み出すために逐次必要とされるアドレスのすべての順序をこの式に従って発生させることができる。

本発明はデータ受信方法にも関するものであり、且つこの方法を適用するシステム及びその構成要素にも関するものであり、これらにも同様な手段を必要変更を加えて適用することができる。

本発明のこれらの特徴及び他の特徴は以下に記載する実施例の説明から明らかになる。

図面において、

図1は伝送システムを示し、

図2はインタリーブの一実施例を示し、

図3はインタリーブの他の実施例を示し、

図4はアドレス発生器の一実施例を示し、

図5は本発明送信セクションの一実施例を示す。

図1は伝送システムを示す。このシステムはエンコーダ10、インタリーブ12、変調器14、伝送チャネル、復調器16、デインタリーブ18及びデコーダ20の縦続接続を具える。

使用中、データがエンコーダ10の入力端子に供給される。エンコーダ10はこのデータを誤り訂正符号で符号化する。この目的のためには、任意の既知の誤り訂正符号、例えばコンボリユーション符号を使用することができる。この符号化データは例えばブロックからなり、各ブロックはビットの論理系列を含む。

デコーダ20はエンコーダ10に対応し、エンコーダ10からデコーダ20への伝送中に受けたビット誤りを訂正する。この誤り訂正符号は、論理系列に分散して発生したビット誤りを容易に訂正することができるものである。論理系列内の複数の連続ビットが誤りであるバースト誤りは、それが長すぎる場合には容易に訂正することはできない。

変調器14は信号を複数の周波数チャネルで発生し、同時に送信する。各ブロックのビットを複数のグループに分配する。各グループは一周波数チャネルに対応し、一グループ内の各ビットの情報は対応する周波数チャネルで伝送される。

これは、例えば各グループのビットを一つの数として解釈し、これらの数を列に配列し、この列のFFT（高速フーリエ変換）を行うことにより実現することができ、FFTの結果を次に伝送チャネル、例えば無線衛星放送チャネルを経て伝送する。このFFT及び送信を順次のブロックに対し繰り返す。これは既知のOFDM（直交周波数分割多重）技術に対応する。

復調器16は変調器14に対応する。この復調器は種々の周波数チャネルを同時に受信し、それぞれの周波数チャネルで伝送されたビットのグループを再構成する。OFDM技術では、これは、例えば受信信号の逆FFTを行い、前記数を再構成し、これらの数からグループを再構成することにより達成される。

インタリーバ12は論理系列内の直接隣接するビットが実質上常に異なる周波数チャネルにて変調されるように作用する。これらのチャネルの（中心周波数）間隔は等より大きくして、隣接ビットが非隣接チャネルに入るようにするのが好ましい。このインタリーバは、単一チャネルの妨害、又は複数の隣接チャネルの妨害が論理系列内のバースト誤りにならないように作用する。

デインタリーバ18はインタリーバ12に対応し、逆の処理を行って、デコード20へ供給する前に論理系列を（ビット誤りを除いて）もとの順序に再構成する。

インタリーバ12は、論理系列内で互いに連続するすべての隣接ビット対をチャネルの数に相当する各別の間隔で互いに位置させる。各別の間隔は異なる値を有し、これらの異なる間隔がほぼ等しい頻度で発生するようにする。その結果、システムは周波数チャネルの周期的システムにおいて不良受信を導く伝送チャネルの妨害に強いものとなる（ここでは、周期的システムとは不良受信が周波数の関数として同数のチャネルごとくに繰り返して発生するシステムを意味する）。

2つのビットに同時誤りが生じようような近さに位置する他のすべてのビット対もチャネルの数に相当する各別の間隔に互いに位置させる。これらの各別の間隔も異なる値を有し、これらの異なる間隔がほぼ等しい頻度で発生するようにするのが好ましい。

図2はインタリーバの一実施例を示し、この装置はデインタリーバとしても好適である。図2のインタリーバはデータ入力端子42を具え、この入力端子はマ

ルチプレクサ34を経て第1及び第2メモリ30、32のそれぞれのデータ入力／出力端子に結合されている。メモリ30、32のデータ入力／出力端子はマルチプレクサ34を経てインタリーバの出力端子44にも結合されている。

このインタリーバは、第1及び第2アドレス発生器38、40のクロック入力端子に結合されたクロック入力端子37も具えている。各アドレス発生器の出力端子は他のマルチプレクサ36に結合されている。他のマルチプレクサ36の出力端子は第1及び第2メモリ38、40のそれぞれのアドレス入力端子に結合されている。

動作中、インタリーバは2つのモード間でスイッチされる。第1のモードで、マルチプレクサ34が入力端子42を第1メモリ30のデータ入力端子に結合するとともに出力端子44を第2メモリ32のデータ出力端子に結合する。更に、他のマルチプレクサ36が第1アドレス発生器38の出力端子を第1メモリ30のアドレス入力端子に結合するとともに第2アドレス発生器40の出力端子を第2メモリ32のアドレス入力端子に結合する。第2モードでは第1及び第2メモリ30、32の役割が第1モードの場合と逆になる。

第1アドレス発生器38はクロックされた第1のアドレス列を発生する。順次のクロックサイクル中に入力端子42に供給される種々のデータアイテムをこれらのアドレスに書き込む。同様に第2アドレス発生器からの第2のアドレス列により第2メモリ32をアドレスしてこれからデータを読み出し、出力端子44に供給する。第1及び第2のアドレス列を互いに相違させて、インタリーブを生じさせる。

第1のアドレス列は、例えば単調に上昇する数値（1、2、3、...）とし、第2のアドレス列は擬似ランダム数値とし、例えば直接連続して発生する各対のアドレス間にそれぞれの差が存在する数値とし、それぞれの差が異なる値を有し、これらの異なる値がほぼ等しい頻度で発生するようにする。これらの差は論理系列の順次のビットが配置される周波数チャネル間の間隔に相当する。

対応するデインタリーバは図2に示すものと同一の構造を有し、デインタリーバの第1アドレス発生器はインタリーバの第2アドレス発生器と同一のアドレス列を発生し、デインタリーバの第2アドレス発生器はインタリーバの第1アドレ

ス発生器と同一のアドレス列を発生する。

擬似ランダム数列は、アドレス発生器40をカウンタと、連続する擬似ランダムアドレスが連続する位置に記憶されたROMとで構成することにより発生させることができる。或いは又、既知の一次合同数列を使用し、メモリ32のアドレス X_n を次の漸化式により得ることができる。

$$X_{n+1} = (a X_n + c) \bmod M$$

これらのアドレスは乗算と加算により得ることができ、ROMを使用する必要がない。更に他の方法としてLFSR (Linear Feedback Shift Register) を使用するものがある。

図3はインタリバーの他の実施例を示す。この実施例は一つのメモリ56を具えるのみである。このインタリバーの入力端子及び出力端子はこのメモリ56のデータ入力端子及びデータ出力端子に結合されている。このインタリバーもアドレス発生器54に結合されたクロック入力端子50を具えている。アドレス発生器54の出力端子はメモリ56のアドレス入力端子に結合されている。クロック入力端子50は読出/書込制御ユニット52を経てメモリ56の読出/書込制御入力端子にも結合されている。

アドレス発生器54は動作中にアドレスの列を発生する。各アドレスごとに第1データアイテムがメモリ56から読み出され、出力端子に供給され、次いで読出/書込制御回路がメモリを書込モードに切り換え、入力端子から到来するデータをメモリの同一のアドレスに書き込む。

アドレス発生器54は毎回このようなアドレスの列を発生する。各アドレス列はほぼ同一のアドレスを含む。しかし、直接連続するアドレス列内の順次のアドレスの順序は毎回相違する。例えば、擬似ランダム数列($X_1, X_2, X_3, \dots, X_n$)と正規の単調上昇数列(1, 2, 3, ..., N)とを交互に使用することができる。これにより、順次のアドレス間の差のほぼ均等な分布を有するインタリバーを達成することができる。

2つの異なるアドレス列を交互に使用するだけとすることによりインタリバーが簡単になる(同一の2つのアドレス列を用い、データアイテムをこれらのアイテムが読み出されたインタリバー内のメモリ位置に対応するインタリバー内

のメモリ位置に書き込むようにするだけでよい)。しかし、この方法は、多くの場合インタリバーが繰り返されるために伝送システムがシステマティック妨害を受けやすくなる欠点を有する。

このため、他の方法として、3以上のアドレス列を使用し、3以上の全アドレス後のみ使用アドレス列のパターンを繰り返すようにすることができる。この目的のために、放送用において、一次合同数列を受信側のインタリバーで使用するのが好ましい。その理由は、このような数列は簡単に実現することができるからである。送信側では、例えばROMを具えるインタリバーを使用し、ROMに受信側のインタリバーが含む順列の逆の順列を含ませる。インタリバーに実現される順列が与えられると、その逆順列は例えば数値的に計算することができる。互いに異なるアドレス列の反復パターン(単調上昇数列(1, 2, 3)を含む)をインタリバーで使用する場合には、その逆順列はメモリROM内の限定された量のスペースを必要とするのみとなる。

異なるアドレス列を使用する場合には、受信側と送信側との間で同期を取り、インタリバーが(インタリバーと逆に作用するように)アドレス列のパターンを正しい位相で開始しうるようにするのが好ましい。この目的のためには、符号化シンボルの以後の処理のためのマークヘッダ情報としても作用する送信同期信号を使用するのが好ましい。

図4は図2又は図3に示すインタリバーに使用するアドレス発生器54の一実施例を示す。このアドレス発生器54はレジスタ60を具え、その出力端子がこのアドレス発生器の出力端子と乗算器62の第1被乗数入力端子とに結合されている。この乗算器62の出力端子は加算器64の第1被加数入力端子に結合されている。この加算器64の出力端子はレジスタ60の入力端子に結合されている。このアドレス発生器は係数メモリ63及び被加数メモリ65を具え、それらの出力端子は乗算器62の第2被乗数入力端子及び加算器64の第2被加数入力端子にそれぞれ結合されている。

動作中、レジスタ60はメモリのためのアドレス X を含む。乗算器62及び加算器64を用いて次のアドレスを次式に従って計算する。

$$X_{n+1} = (a X_n + c) \bmod M$$

ここで、Mはアドレス列の長さである。係数“a”及び被加数“c”はそれぞれ係数メモリ63及び被加数メモリ65から取り出される。順次のアドレス列間にメモリ63、65が信号を受信し、別の係数及び/又は被加数を乗算器及び加算器に供給するため、逐次異なるアドレス列を発生する。一つのアドレス列では、例えば $a=1$ 及び $c=1$ であり、単調に上昇するアドレス列を発生する。他のアドレス列では、 a を1に等しくないで、既知の方法により、擬似ランダム数列を発生するように選択する(c はMに対し互いに素であり、 $a-1$ はMの全素数pに対するpの倍数とし、例えば $M=45=3*3*5$ の場合には、 $a-1$ は3と5の双方の倍数にする必要があり、Mが4の倍数である場合には $a-1$ は4の倍数とする)。

a及びcの複数の異なる有用な値を記憶することにより、対応する数の異なるアドレス列を発生させることができる。

“a”値は、 $(a-1)$ の二乗が“M”により割り切れるように、即ち $(a-1)$ が“M”自体の少なくとも半分の各素因数を含むように選択する(例えば $M=675=3*3*3*3*5*5$ の場合には、 $(a-1)$ は $45=3*3*5$ にすることができ、一般に数個の素因数を有する大きなM値が必要とされ、1~20のM値のうち $M=8, 9, 12, 16, 18$ のみが適格である)。 $(a-1)$ の二乗がMで割り切れる特性を有する“a”値のみをアドレス発生に使用すると、式 $X_{n+1}=(aX_n+c) \bmod M$ により記述されるビットの任意の擬似ランダム順列を実現することができることは証明することができる。また、この場合にはインタリーブのためのアドレスも、デインタリーブのためのアドレスもこのような擬似ランダム順列を用いて実現することができることも確かめられた。従って、アドレスROMは不要である。これは、 $(a-1)$ の二乗がMで割り切れる場合にのみ真実であることが確かめられた。この場合には、アドレスを式 $X_{n+1}=(aX_n+c) \bmod M$ の実際の計算により計算する必要はない。その代わりに、 $X_{n+1}=X_n+v_n \bmod m$; $v_{n+1}=v_n+d \bmod m$ を使用することができる。ここで $d=c(a-1)$ 、及び v_n は $(a-1)X_0+c$ に初期化される。(例えば、 $M=100(=2*2*5*5)$ のときは、“a”は21($a-1=4*5$)として選択することができ、且つ $c=1$ とすることができる)。

乗算器及び加算器が演算するモジュラスMを調整可能にすると、インタリーブ/デインタリーブを種々のブロック長間で簡単に切り換えることができる。

本発明は上述の実施例にのみ限定されるものではないこと明らかである。例えば、ビットに対し処理する代わりに、もっと大きなシンボルに対して処理することとも、誤り訂正符号がこれらのシンボル内の孤立したランダム誤りをバースト形態のランダム誤りよりも良好に訂正しうる限り可能である。

更に、エンコードにより発生されるビットの論理系列は必ずしも時間的に連続している必要はない。連続するビットにおける同時誤りが“非論理的に連続する”ビットにおける同時誤りより容易に訂正し得ない場合に、これらのビットは論理的に連続”であるという。

内部周波数インタリーブは擬似ランダムビットインタリーブである。このインタリーブはブロック単位で行われ、即ち各OFDMシンボルのビットをバーストがランダム化されるように固定の方法で並べ換える。しかし、所定のOFDMシンボルのビットは他のOFDMシンボルからのビットと混合させない。

一実施例では、OFDMシンボルはN個の有用搬送波からなり(ここで $N=6361$ 又は 5937)、各シンボルは2、4又は6ビットの情報を含む。インタリーブの仕事はビタビ検出器の入力側におけるビットを相関除去することにある。

(デ) インタリーブは8192ビットの8倍のサイズを有するメモリ(RAM)とアドレスユニットからなる。アドレスユニットは16ビットのアドレスを発生し、このアドレスは下位の3ビットと上位の13ビットに区別することがでる。上位の13ビットは特定のサブチャネルを決定し、下位の3ビットは所定のサブチャネルのどのビットかを決定する。このRAMがアドレスされる度に、その内容が読み出され、下流のデコーダに供給されるとともに、入力端子における次のビットが現在位置に書き込まれる。各サイクルにおいて、関連する全位置をアドレスする必要がある。下位の3ビットは(1シンボル当たりのビット数に応じて)関連する状態を周期的に通過するとともに、上位の13ビットは関連する全アドレスを特別の順序で発生するアルゴリズムにより発生される。

6361は素数であり、5937は3で割り切れるため、下位ビットアドレス

は対にして発生させることができるため、1副搬送波当たり2ビットの情報に對

し動作するアルゴリズムを決定し、このアルゴリズムを1シンボル当たりのビット数に応じて1回、2回又は3回使用し、各回ごとに異なる固定のオフセットを下位ビットに与えるようにすることができる。このようにすると、アドレスユニットが同一の状態になる前に、あらゆる環境の下で、全てのビットをアドレスすることができる。

周期的インタリバーを発生させる一つの方法は、時刻 t において OFDM シンボル内の 13 上位ビットの連続するアドレス $x_{t,n}$ ($0 \leq n \leq N$) を次式：

$$x_{t,n+1} = x_{t,n} + c_t \bmod N$$

に従って発生させる。ここで、 $x_{t,0} = 0 \forall t$ 及び $\text{GCD}(c_t, N) = 1$ である。インクリメント c_t は時間 t に依存する。周期的インタリバーに対しては、 $c_t = c_{t-1} * c_0 \bmod N$ を選択することができる、ここで、 c_0 は実際に実現されるインタリバー係数に對應する慎重に選択した初期インクリメントである。

以上要するに、本発明は、エンコーダ、インタリバー、変調器、伝送チャネル、復調器、デインタリバー及びデコーダを具える伝送システムに関するものである。エンコーダはデータブロックをデータアイテムの論理系列を含む誤り訂正符号に符号化するのに使用される。デコーダはエンコーダとデコーダとの間の伝送における誤りを訂正するために使用される。誤り訂正符号は論理系列内に同時に且つバースト状に発生す誤りに對してよりも同時に且つ孤立して発生する誤りに對して強いものとする。変調器は、同時に送信すべき複数の周波数チャネルを具える信号を発生するのに使用され、各周波数チャネルは一以上のデータアイテムを含み且つそれぞれのチャネルで変調されたグループに對応する。伝送チャネルは変調器と復調器との間に位置する。復調器はグループを再構成し、デコーダに供給する。インタリバーはデータアイテムをグループ間で分配し、論理系列と順次の周波数チャネル間の分配との間に擬似ランダム関係を導入する。デインタリバーは、デコーダに供給する前に復調器により再構成されたグループから論理系列を再構成する。

この伝送システムは、インタリバー及び/又はデインタリバーにより非単調一

次合同数列による分配を実現すると、改善することができる。

この伝送システムは、インタリバー及び/又はデインタリバーにデータアイテム用メモリと書込及び読出手段を設け、読出手段がメモリの次の位置からデータアイテムを読み出す前に書込手段がデータアイテムを丁度読み出されたメモリの位置に書き込み、論理系列が書き込まれる位置の順序が連続する論理系列ごとに相違するようにすると、更に改善することができる。

他の改善は、順序が少なくとも2つのブロックの周期で周期的に反復し、一つの単調に上昇又は下降する順序を発生する伝送システムに関連する。この場合にも、書込及び/又は読出手段は、係数及び被加数を用いて一次合同数列を形成するよう構成され且つ前記係数及び被加数を用いて一つのブロックから他のブロックへ入れ換えるよう構成されたアドレス発生器を具えるものとすることができる。

このようにすると、情報を次のステップ；

- ・データを誤り訂正符号で符号化し、
- ・データを擬似ランダム数列に従ってインタリーブし、
- ・データを一連の周波数チャネルで変調し、一緒に訂正できないデータアイテムをインタリーブにより別々の周波数チャネルに配置させ、
- ・データを復調し、
- ・データをデインタリーブし、
- ・データを復号する、

ことにより伝送することができる。

図5は本発明による送信セクションの一実施例を示す。この送信セクションはメモリ72、プロセッサ76及び送信機78を接続するデータバス70及びアドレスバス71を含んでいる。エンコーダ74はデータバス70に結合されている。エンコーダ74はアドレス発生ユニット75を経てアドレスバス71に結合されている。

動作状態では、エンコーダ74はデータブロックを受信し、これをビットの一ケタスとして符号化する。各連続ビットをデータバス70に供給し、ビットの供給がアドレス発生器75に信号される。アドレス発生器75は擬似ランダム数

列に従って各連続ビットに対し個別のアドレスを発生する。このアドレスはメモリ 72 のワード位置と該ワード位置内のビット位置の両方を示す。ワード位置はそのビットが割当てられたグループに対応し、ビット位置はそのグループ内のビットの位置に対応する。アドレス発生器 75 は、論理的に隣接するビットが異なるワード位置に実際上常に記憶されるようにする。これらのワード位置の間隔は等より大きくして、論理的に隣接するビットが非隣接ワード位置に入るようにするのが好ましい。

このアドレスがデータバスに供給され、ビットがこのビットに対しアドレス発生器 75 により発生されたアドレスに対応するメモリ 72 の位置に記憶される。こうしてデータブロック全体が誤り訂正符号で符号化され、メモリ 72 に記憶されると、プロセッサ 76 が開始する。プロセッサ 76 はメモリ 72 に記憶されたワードの FFT を計算する。この目的のために、プロセッサ 76 はワードを FFT アルゴリズムに必要とされる度に読み出す。この目的のためには、既知の FFT アルゴリズムを使用し、これによりメモリ 72 のワード位置を通常の方法で、即ちインタリーブ処理の知識を必要とすることなくアドレスすることができ、論理的に隣接するビットは実質的に常に異なるワード位置に記憶されているため、これらの隣接ビットは FFT の結果では異なる周波数チャネルで変調されている。この結果が送信機 78 により読み出され、伝送チャネル (図示せず) を経て伝送される。

図 5 に類似の構造を受信セクションに使用することができ、この場合には送信機 78 を受信機と置き換え、エンコーダ 74 をデコーダと置き換える。この場合には、受信機がワードをメモリ 72 に書き込み、プロセッサ 76 がこのワードについて FFT を実行する。アドレス発生器 75 が擬似ランダムデインタリーブを実行し、連続するワード/ビットアドレス対を発生して FFT の結果を 11 ビットずつ読み出し、デコーダで誤り訂正を実行する。

【図 1】

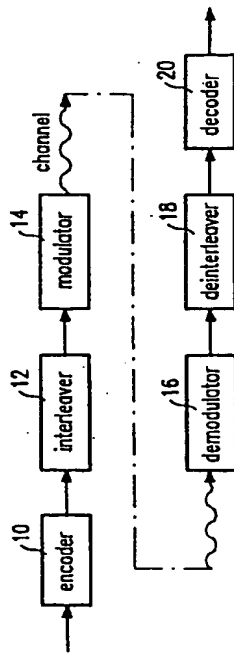


FIG. 1

【図 2】

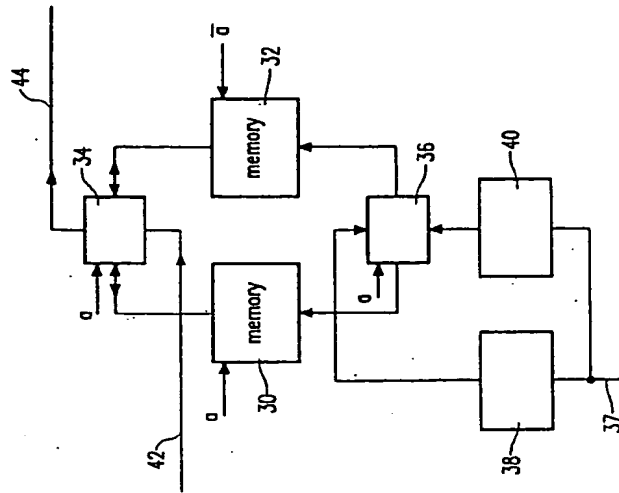


FIG. 2

【图 3】

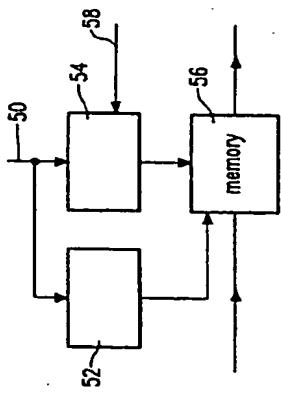


FIG. 3

【图 4】

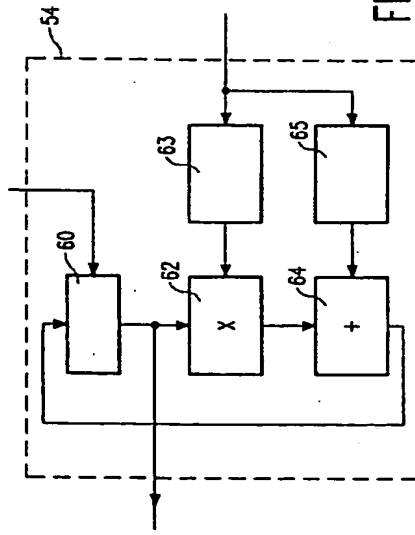


FIG. 4

【图 5】

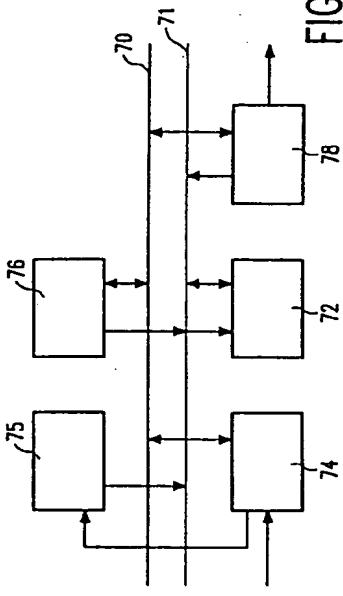


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB 96/00064

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H03M 13/22, H04L 5/06, H04B 1/713 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H03M, H04L, H04B, G11B, H04J		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5056105 A (DARMON ET AL), 8 October 1991 (08.10.91), column 1, line 10 - column 2, line 16; column 3, line 38 - column 4, line 13	1,6,8,13, 15-18,21
A	--	2-5,7,9-12, 14,19,20, 22-24
A	EP 0578313 A1 (LABORATOIRES D'ELECTRONIQUE PHILIPS), 12 January 1994 (12.01.94), page 4, line 41 - page 5, line 24; page 8, line 47 - page 9, line 11; page 12, line 3 - line 11, figure 5	1-24
	--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 June 1996		18 -06- 1996
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Christian Rasch Telephone No. +46 8 782 25 00

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00064

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0235477 A1 (THOMSON-CSF), 9 Sept 1987 (09.09.87), abstract --	1,6,8,13, 15-18,21
A	US 4547887 A (MUI), 15 October 1985 (15.10.85), see whole document --	1,8,15,17,21
P.A	EP 0673131 A2 (KABUSHIKI KAISHA TOSHIBA), 20 Sept 1995 (20.09.95), column 2, line 11 - column 3, line 16; column 10, line 32 - column 11, line 43, figures 2,5,6,7 -- -----	1,8,15,17,21

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
Information on patent family members

01/04/96

International application No.

PCT/IB 96/00064

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A- 5056105	08/10/91	CA-A, C- 2003716 DE-D, T- 68920830 EP-A, A, B 0370444 SE-T3- 0370444 ES-T- 2068874 FR-A, B- 2639781	25/05/90 24/05/95 30/05/90 01/05/95 01/06/90
EP-A1- 0578313	12/01/94	NONE	
EP-A1- 0235477	09/09/87	DE-A- 3685434 FR-A, B- 2592258	25/06/92 26/06/87
US-A- 4547887	15/10/85	NONE	
EP-A2- 0673131	20/09/95	NONE	

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(31)優先権主張番号 95200580.9
(32)優先日 1995年3月9日
(33)優先権主張国 オランダ (NL)
(31)優先権主張番号 95200642.7
(32)優先日 1995年3月16日
(33)優先権主張国 オランダ (NL)
(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FR, GB, GR, IE, IT, LU, M
C, NL, PT, SE), AU, BR, CN, JP, K
R, RU, SG